

Motivation どんな問題に取り組むのか？

次世代高速通信ICチップの小型化は、チップコスト削減と高周波化に伴うチップ内共振の防止という点で極めて重要な課題となっています。特にICチップ内におけるキャパシタは大きな面積を占めており、容量密度 ($\text{fF}/\mu\text{m}^2$) の向上がICチップの小型化において非常に重要です。本研究では、容量密度を大幅に向上することができる新スタック型MIM (Metal-insulator-metal) キャパシタの製造プロセス開発を行っています。

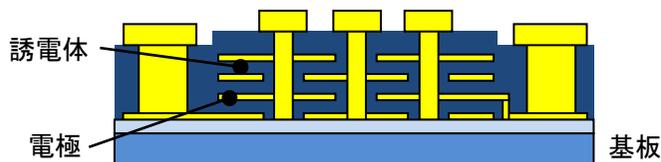
Originality 得られた結果はどう新しいのか？

任意層数のスタック型MIMキャパシタを低コスト、高スループットで実現することができます。キャパシタは2種類の電極(A, B)と誘電体から成っています。電極には大空孔と小空孔が形成されており、この空孔を貫通する小空孔よりやや径の大きいビアが、小空孔のみとサイドコンタクトを形成することによって同種の電極同士を接続します。

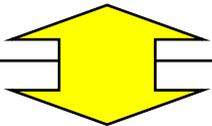
Impact この研究が成功した場合のインパクトは？

本研究のスタック型キャパシタを用いれば、高速通信ICチップの大幅な小型化を図ることができます。またこの技術は材料に寄らないため、高誘電体材料と組み合わせれば、超高容量密度のキャパシタを簡単な工程で作製できるようになります。

新スタック型MIMキャパシタ(断面図)



- ・スタック層数が任意
- ・低コスト
- ・高スループット

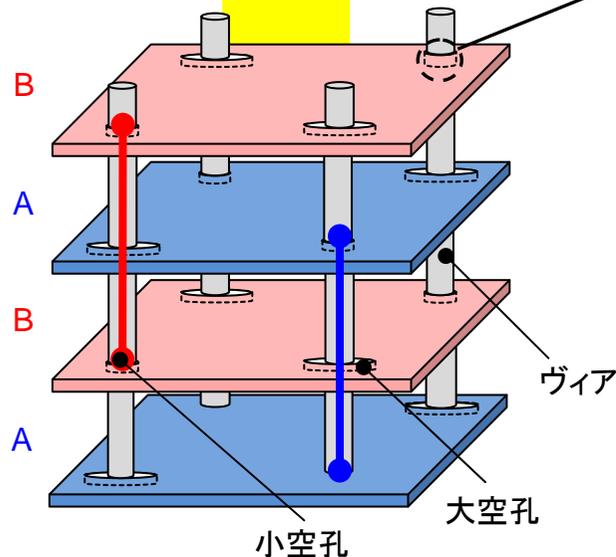


従来のスタック型MIMキャパシタ



- ・スタック層数が固定
- ・高コスト
- ・低スループット

任意層数のスタックが可能



サイドコンタクト形成により、小空孔を通じて電極とビアが同じ種類同士の電極を電氣的に接続する。

